

引用格式:高虎,郑军,封二强. FPGA 软件半实物仿真测试环境研究与框架设计[J]. 微电子学与计算机, 2019, 36(6): 15-20.
[GAO H, ZHENG J, FENG E Q. Research on framework design of semi-physical simulation testing environment for FPGA software [J]. Microelectronics & Computer, 2019, 36(6): 15-20.]

FPGA 软件半实物仿真测试环境研究与框架设计

高 虎¹, 郑 军^{1,2}, 封二强¹

(1 中国航空综合技术研究所 质量工程产品部, 北京 100028;

2 国家质量监督检验检疫总局 质量基础设施效能研究重点实验室, 北京 100028)

摘 要: 针对当前 FPGA 软件测试工作中, 仿真测试和实物测试存在的效率低、覆盖率无法保障、充分性差等问题, 提出了一种新的测试环境框架用于 FPGA 软件测试, 采用真实的 FPGA 芯片运行被测 FPGA 软件, 同时构建执行器 FPGA 模拟被测 FPGA 的外部设备与接口环境, 构建被测 FPGA 软件的外设行为仿真模型, 将原来仅用于仿真测试的 Testbench 测试脚本解析为测试数据, 将仿真模型和测试数据移植到执行器 FPGA 中, 从而实现了 FPGA 软件的半实物仿真测试. 最后基于该框架开发了原型验证系统, 并在测试项目中取得了较好的效果.

关键词: FPGA 软件测试; 测试环境; 半实物测试; 仿真测试; 实物测试

中图分类号: TP311.11

文献标识码: A

文章编号: 1000-7180(2019)06-0015-06

Research on framework design of semi-physical simulation testing environment for FPGA software

GAO Hu¹, ZHENG Jun^{1,2}, FENG Er-qiang¹

(1 Dept. of Quality Engineering Technologies, China aero-polytechnology establishment, Beijing 100028, China;

2 Key Laboratory of Quality Infrastructure Efficacy Research, AQSIQ, Beijing 100028, China)

Abstract: According to the shortcomings of low efficiency, insufficient coverage in current simulation testing and physical testing method of FPGA software testing, a design of FPGA semi-physical testing environment based on simulation testing case was proposed. The real FPGA chip was used for running the design under test, the testbench used in simulation testing were parsed and processed into FPGA transmission signals and testing data, and an executor FPGA was designed to simulate the behavior and interface of the external device. Then the testing data and simulation model were transplanted into the executor FPGA to connect the FPGA under test. The design framework was validated by a semi-physical testing environment verification platform, and good results had been achieved.

Key words: FPGA software testing; testing environment; semi-physical testing; simulation testing; physical testing

1 引言

FPGA 测试与常规软件测试不同, 不仅需要对系统外部交联设备进行数据收发过程的模拟, 还需要对系统内部的交联芯片进行信号传递过程的模拟. 因此, 在当前开展 FPGA 软件测试时, 一般采用

仿真测试方法, 通过 Testbench 模拟被测 FPGA 的外部交联设备, 进行交联芯片信号的传递的测试; 然后通过实物测试方法, 将被测 FPGA 连同系统其他电路和设备统一开展系统测试, 进行交联设备数据的收发测试^[1~3]. 但是仿真测试和实物测试方法在工程应用中存在许多弊端, 如测试充分性差、覆盖率

不足、测试效率低等,成为当前型号 FPGA 软件测试中影响测试质量的重要因素。

为此,本文提出了一种 FPGA 软件半实物仿真测试环境的框架设计方法,通过构建执行器 FPGA 电路弥补仿真测试和实物测试所出现的不足,为 FPGA 软件测试探索一种新的测试方法。

2 FPGA 软件动态测试环境需求分析

为提高当前高可靠系统 FPGA 软件质量,避免常规 FPGA 软件仿真测试及实物测试过程中的弊端,对 FPGA 软件动态测试环境提出如下新的能力需求^[4]:

(1)运行芯片需求,被测 FPGA 软件能够直接运行于目标 FPGA 芯片;

(2)测试数据需求,测试数据能够有效覆盖 FPGA 软件各个外设的正常和异常运行场景;

(3)测试场景需求,测试用例应能够模拟被测 FPGA 软件的不同工作场景;

(4)接口实时性需求,测试环境应具有高实时性的闭环反馈测试能力;

(5)测试监控需求,测试过程中的关键信号可进行观测回放;

(6)通用性易用性需求,测试环境应具有一定的通用性和易用性考虑。

3 FPGA 软件半实物仿真测试环境设计

3.1 半实物仿真测试环境工作原理

为满足 FPGA 软件动态测试对运行芯片、测试数据、测试场景、接口实时性、测试监控等方面的需求,设计 FPGA 软件半实物仿真测试环境,其工作原理如图 1 所示。

FPGA 软件半实物仿真测试环境由输入层、配置层、操作层、执行层组成。其主要工作原理为:将真实的被测 FPGA 芯片作为测试对象,并设计与被测 FPGA 芯片进行接口交联的专用 FPGA 芯片,定义为执行器 FPGA,即通过执行器 FPGA 来模拟实装环境中与被测 FPGA 相互交联的各类外围电路。在执行器 FPGA 中部署四类功能逻辑:(1)与被测 FPGA 直接交联的 IO 接口逻辑;(2)模拟被测 FPGA 外围设备的仿真电路逻辑;(3)用于实施测试用例的测试控制电路逻辑;(4)用于下发测试用例及收集测试结果的服务软件。

测试过程由测试控制电路实施测试数据的收发控制,由外设仿真电路计算模拟外设行为,由 IO 接

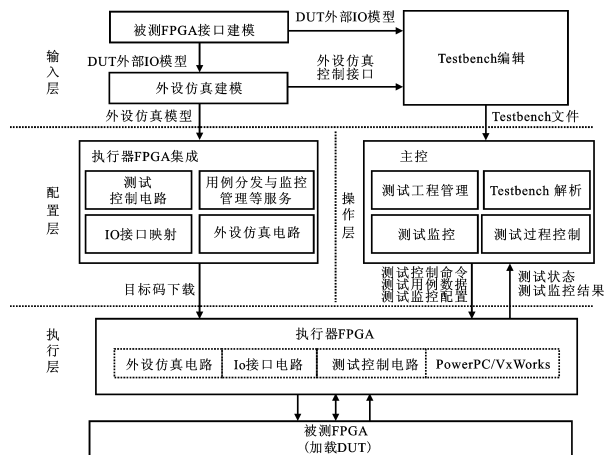


图 1 测试环境组成及工作原理

口电路实现与被测 FPGA 的交互^[5]。测试用例来源于主控软件对 Testbench 的解析,测试完成后的结果也由主控软件进行汇总报告。

3.2 输入层

3.2.1 接口建模

接口建模涉及外部接口建模和外设仿真建模的控制接口建模两部分工作内容。

(1)外部接口建模

对被测 FPGA 软件的外部接口进行形式化描述,使外部接口规范、清晰、完整、无二义。接口建模的输入是 FPGA 软件需求文档中的接口描述,通过图形化的建模方式描述被测 FPGA 软件的所有外部输入输出接口的总线类型、数据宽度、数据周期、时序相位、数据类型、应用层协议等,输出为 XML 格式的接口描述文件。

(2)外设仿真模型的控制接口建模

该接口用于测试过程中对外设仿真模型进行启动、停止、实时激励等控制,建模过程输入为外设仿真建模所创建的控制接口变量,输出为形式化的外设仿真控制接口文件。

接口建模过程应针对 FPGA 与外部交联设备及电路之间的各种常见接口类型(例如 UART、SPI、IIC、JTAG、GPIO、USB 等)的通讯格式与内容进行详细定义,形成 FPGA 软件外部接口交联测试环境模型,为后续的半实物仿真测试环境构建提供输入。

3.2.2 外设仿真建模

为被测 FPGA 软件的交联外设创建仿真模型。仿真模型的创建需要明确三个前提因素:

(1)外设与被测 FPGA 软件的接口关系,通过接口建模可以获得该关系描述,然后将其转化为外

设模型的 IO 引脚;

(2)外设自身的行为信息,即能够通过数学模型描述外设的行为特点,从而模拟外设的各种运行场景;

(3)外设模型的控制方法,通过在模型中植入部分控制代码,实现对外设模型的启动、停止、实施激励的控制,并形成对应的控制接口,输出至接口建模,形成统一的接口信息。

最后,完成上述基本建模信息的分析后,通过成熟的 Matlab/SystemGenerator 或 HLS/SystemC 完成外设的仿真建模,并直接生成对应的 VHDL 或 Verilog 代码,供后续产生执行器 FPGA 提供外设模块。

3.2.3 Testbench 编辑与解析

Testbench 是用于模拟被测 FPGA 软件外部交联设备行为的一种测试脚本,用 VHDL、Verilog 或 SystemVerilog 编写实现. 设计半实物仿真测试环境时,Testbench 的编辑过程与传统的 Testbench 编辑相比,可通过导入外部接口模型减少一定的编辑工作量,同时,通过对外设仿真模型的调用与控制,可直接将复杂的外设行为转换为简单的若干信号的读写控制。

为了将原用于功能仿真测试的 Testbench 作为测试用例用在半实物测试中,需像仿真工具一样完成对 Testbench 的解析。

任何一个 Testbench 都是由信号发生时刻、信号引脚、信号值三个基本元素构成,因此可将 Testbench 解析为系列基本元素的组合:将 Testbench 的激励施加过程解析为时刻、引脚、引脚值的集合,命名该集合为激励域;将 Testbench 读取 DUT 输出并与预期值相比较的过程理解为在指定时刻起对 DUT 引脚采集值的操作集合,该过程也同样解析为时刻、引脚、引脚值三个要素,并命名该集合为结果域. 与激励域不同的是,结果域中的引脚值是由于存储预期结果数据的,用于测试结果的自动判断,对测试执行不产生影响;此外,该引脚值可设为空,表示由人工判定测试结果^[6]。

为提高测试环境的时间控制精度并提高存储效率,将一个时刻点下的激励域及结果域解析为时刻控制点配置结构 AtickTableSet,其定义形式如图 2 所示。

其中,tickTimePoint 表示激励信号触发的时刻点,writeOutPinNum 用于存储该时刻点同时为多少个引脚赋值,writeOutCfgTable 是指向具体引脚配置

表的指针,引脚配置表结构形式如图 3 所示。

```
typedef struct
{
    int tickIndex;//时刻点索引
    int tickTimePoint;//时刻值
    int writeOutPinNum;//该时刻下激励引脚数量
    int * writeOutCfgTable;//激励引脚配置表
    int readInPinNum; //该时刻下采集引脚数量
    int * readInCfgTable; //采集引脚配置表
}AtickTableSet; /* 时刻控制点配置 */
```

图 2 Testbench 时刻控制点配置结构体类型

```
typedef struct
{
    int writeOutPin;//引脚地址
    int writeOutVal;//引脚值
}WriteOutset; /* 激励引脚配置 */
```

图 3 Testbench 激励引脚配置结构体类型

因此,一个时刻点即为一个 AtickTableSet 结构,其中包含了 writeOutPinNum 个激励引脚和 readInPinNum 个采集引脚,每个引脚的地址和值也都包含在内。

一个 Testbench 中包含了多个时刻点,共同构成了一个测试用例,因此一个测试用例可定义为 case 结构,形式如图 4 所示。

```
typedef struct
{
    int caseID;//用例索引
    int tickNum;//用例共涉及的时间控制点数量
    AtickTableSet * tickPoints;//时刻控制点配置表
}case; /* 测试用例配置 */
```

图 4 Testbench 测试用例配置结构体类型

在 case 结构中包含了 tickNum 个 AtickTableSet,指针变量 tickPoints 表示具体的时刻控制点配置 AtickTableSet 集合。

将所有生成的 Testbench 一次解析,生成测试用例集 Caseset,实现测试用例集内用例的不间断执行. Caseset 的定义形式如图 5 所示。

```
typedef struct
{
    int caseNum;//用例总数
    case * caseTab;//用例集
}Caseset; /* 测试用例集 */
```

图 5 Testbench 测试用例集结构体类型

设计 Testbench 解析软件,按照上述约定协议

形式将全部 Testbench 文件进行格式化后解析,最终形成的测试用例集 Caseset 可下发至执行平台,供执行器 FPGA 读取、配置。

3.3 配置层

3.3.1 位机服务

为了能够支撑自动化的执行 FPGA 软件测试,需要建立一种能够控制测试过程、释放测试激励、采集测试结果的服务,为测试人员控制测试的启动停止、施加测试用例、查看测试结果提供必要的支撑。该服务由执行器 FPGA 内置的 PowerPC 实现,采用 VxWorks 实时操作系统,分别建立测试用例解析模块、测试控制模块、实时数据收集模块、实时激励模块等应用层模块,并通过测试任务调度模块对各个应用模块进行调度管理,最后通过 Xilinx FPGA 提供的 PowerPC 软核、以太网接口软核等构件基本的 Soc 硬件环境,通过测试控制接口和 DPRAM 驱动实现和执行器 FPGA 的信息交互。

3.3.2 IO 接口电路及测试控制电路

IO 接口是连接半实物仿真测试环境与被测 FPGA 之间的物理接口,通过地址映射的方式,在时钟管理模块的驱动下,不同类型的测试数据通过地址分配和协议匹配,最终转换为 IO 接口上的电路信号。

为了使外设仿真电路、IO 接口等电路能够受控于下位机服务的调度,在设计仿真电路和 IO 接口电路基础上增加测试控制电路,用于实现下位机对执行器 FPGA 中各电路的启动停止控制、测试数据施加控制、测试结果采集控制等,通过 DPRAM、定时器、比较器、数据缓存等数字电路,实现外设仿真电路、IO 接口电路与 PowerPC 核的控制与数据信号的通信。执行器 FPGA 读取 DPRAM 中的 Testbench 激励数据消息,解析出激励域和结果域。

激励域解析模块读取 DPRAM 中激励数据所要施加的 FPGA 引脚地址、激励值,然后经地址数据分配模块进行 FPGA 引脚索引和数据锁存,当到达激励触发时刻时,将激励数据通过指定的引脚输出至被测 FPGA。结果域解析模块与激励域解析模块类似,读取 DPRAM 中测试结果采集所需要的 FPGA 采集引脚地址、预期的采集结果值,然后经地址数据分配模块进行 FPGA 采集引脚映射,当采集时刻到达时,地址数据分配模块再从采集缓存中读取对应的数据值,并与 DPRAM 中的预期采集结果值进行比较,二者一致则认为此时此刻的测试通过,并将该时刻的结论发送至 DPRAM 用于与实际测试

结果一起上传至主控平台。在测试过程中如需使用外设仿真模型,则通过激励域解析模块发出仿真激励使能信号,激活外设仿真电路模块的仿真计算电路^[6]。测试控制电路原理如图 6 所示。

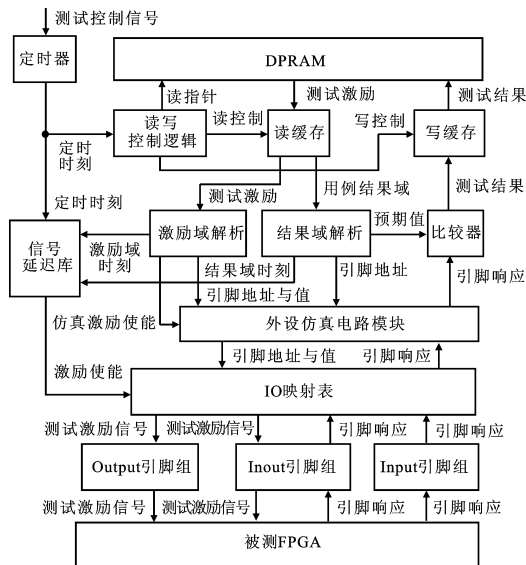


图6 测试控制电路激励域原理

由定时器和信号延迟库组成的电路模块是执行器 FPGA 的控制中枢,一方面,通过读取 DPRAM 中的时刻描述,将激励域和结果域的时刻值减去执行器 FPGA 中写入和读取的布线延迟,即可获得触发器 FPGA 实际需触发输入输出的时刻,通过计数器与触发时刻比较,分别控制激励和采集的使能,从而实现对 FPGA 信号的实时性传输控制。另一方面,时刻控制模块通过读取 DPRAM 中存储的测试用例数量、测试激励域数量、结果域数量、各个域内不同时刻点的引脚信号的数量,管理测试用例中的不同测试时刻的激励域与结果域数据的时刻、引脚的配置,用于指导激励域解析模块和结果域解析模块实现引脚和数据分配。

3.3.3 执行器 FPGA 集成

执行器 FPGA 实际是外设仿真模型、IO 接口、测试控制电路、下位机服务四大模块的集成,该过程利用成熟的 FPGA 集成开发环境 ISE、Vivado 等工具实现,包括综合、布局布线等步骤,最终下载至执行器 FPGA 中。

3.4 操作层

测试主控为测试人员提供直接的人机交互,通过界面操作测试流程,完成接口建模模块、Testbench 编辑与解析模块、外设仿真建模等模块的集成和操作引导,并完成与下位机服务的直接交互,实

IO 接口电路输出至被测 FPGA,也可直接由 IO 接口电路输出至被测 FPGA. 被测 FPGA 响应后的信号经执行器 FPGA 采集后,根据测试控制电路指示可以传递至外设仿真模块运算,也可以经测试控制电路和下位机服务缓存整理后上报至测试主控. 传递至外设仿真电路的信息经运算后再次通过 IO 接口反馈给被测 FPGA,从而形成了闭环反馈测试过程. 测试过程中的中间结果在测试控制电路的控制下,可不间断的通过下位机服务整理上传至测试主控,用于测试状态的监控. 当所有测试结束后,由测试主控完成对测试结果的收集、分析和测试报告的生成.

3.7 物理结构部署

根据 FPGA 软件半实物仿真测试环境的组成与工作原理分析,为提高系统的体系结构质量,对各组成进行功能划分与接口封装,将测试环境设计为图形用户界面工作站节点、执行器 FPGA 节点两部分,如图 11 所示.

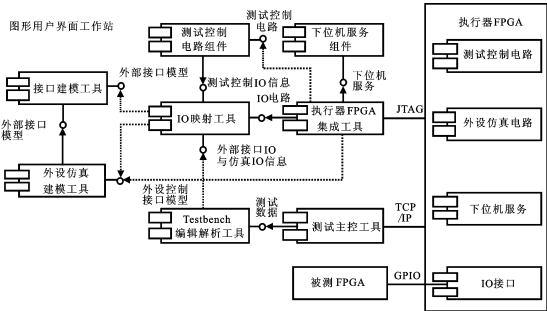


图 11 系统组件与部署实施

图形用户界面工作站中各功能模块均对实时性无要求,部署于桌面操作系统,可通过文件系统进行数据交互;执行器 FPGA 由集成开发环境设计后通过 JTAG 固化下载,在工作过程中通过以太网实现与测试主控工具的交互,通过 GPIO 接口与被测 FPGA 交联.

4 实验验证

为验证 FPGA 软件半实物仿真测试环境框架设计的可行性,按照 FPGA 软件半实物仿真测试环境工作原理设计半实物仿真测试环境原型机,选择某数据采集系统作为被测对象,分别采用常规的仿真测试环境、实物测试环境,以及半实物仿真测试原型机对该数据采集系统 FPGA 软件开展测试. 测试过程相关数据统计如表 1 所示.

表 1 某数据采集系统动态测试对比

对比项	功能仿真测试	实物测试	半实物仿真测试
测试用例数量	48 个	22 个	84 个
用例设计耗时	3 小时	1 小时	1 小时
环境搭建耗时	4 小时	2 小时	2 小时
测试执行耗时	10 小时	1.5 小时	0.2 小时
发现软件问题	3 个	1 个	7 个

应用 FPGA 软件半实物仿真测试环境开展 FPGA 软件测试,测试充分性、覆盖率、执行效率、可信度等方面能够有效弥补常规仿真测试和实物测试的不足,该测试环境框架设计方法可行.

5 结束语

本文探索性的提出了一种基于 Testbench 与外设仿真模型的半实物仿真测试环境的构建方法,提出了该测试环境的工作原理,分别设计了测试环境各主要模块的输入、输出及处理思路,并设计了该测试环境的整体工作过程;最后通过原型机验证了测试环境框架设计的可行性.

参考文献:

[1] 高虎,刘媛,刘子宜. DO-254 标准中的确认与验证过程分析[J]. 航空标准化与质量. 2014(2):10-13.

[2] 刘子宜,刘畅,郑军. 基于软件测试技术的 FPGA 测试研究[J]. 电子技术应用. 2011,37(5):28-30.

[3] 高虎,郑军,田曾昊. FPGA 板级自动化仿真测试环境框架设计[J]. 微电子学与计算机. 2017, 34 (12): 94-98.

[4] 孔璐,张涛,王金波,等. 基于硬件加速的实时仿真平台构建技术[J]. 微电子学与计算机,2016,33(1):34-36.

[5] 徐金娜,付方发,王进祥. 基于 FPGA 的软硬件协同仿真平台的数据通路设计[J]. 微电子学与计算机, 2014,31(3):107-110.

[6] 高虎,封二强,赵刚. 基于 Testbench 的 FPGA 实物自动化测试环境设计[J]. 电子技术应用. 2018,44(4): 48-51.

作者简介:

高虎男,(1986-),硕士,高级工程师. 研究方向为 FPGA 软件测试、软件测试环境. E-mail:gaohu_2009@163.com.

郑军男,(1969-),硕士,研究员. 研究方向为软件工程、FPGA 与软件测试.

封二强男,(1984-),硕士,高级工程师. 研究方向为 FPGA 测试、软件工程.